

INITIATION A L'ELECTRONIQUE

Suite voir n°1757

COMMENT « GELER » UNE VALEUR ANALOGIQUE

Pour toute utilisation d'un ADC, un problème se pose : il ne faut pas que la valeur de la tension analogique d'entrée à convertir varie pendant la conversion, sinon on risque d'obtenir des résultats aberrants.

Il faut donc disposer d'un moyen de « prise en mémoire » de la tension analogique à convertir, autrement dit d'un circuit qui, sur commande, garde la valeur instantanée d'une tension.

Un tel circuit se nomme un « échantillonneur-bloqueur » (en anglais « sample and

hold »). Son principe simplifié est indiqué par la figure 71.

L'organe chargé (c'est bien le cas de le dire !) de conserver la « mémoire » analogique est un condensateur, C. Lorsque l'on envoie un ordre sur l'entrée « commande », on provoque une brève fermeture du « contact » K ; le condensateur C se charge à la tension e. L'amplificateur opérationnel A, monté en « suiveur » (gain unité) est employé comme chaque fois que l'on doit « utiliser » la tension de charge d'un condensateur sans le décharger.

Bien entendu, le « contact » K n'est pas mécanique. On utilise un transistor à effet de champ, ou un ensemble de deux MOS complémentaires, débloqués pendant un temps aussi court que possible, pour assurer ainsi une « photographie instantanée » de la tension e.

Or, on se heurte là à deux exigences contradictoires. Le condensateur C doit avoir une capacité :

– aussi faible que possible, pour pouvoir se charger à la tension e, en un temps aussi court que possible ;

– aussi élevée que possible, pour que, malgré la consommation (faible mais non nulle) de courant par l'entrée « + » de l'amplificateur opérationnel, on ne modifie que peu la tension à ses bornes pendant la durée d'utilisation de la tension prise en mémoire.

On compte généralement sur une consommation de l'entrée « + » comprise entre 1 et 10 pA (pico-ampères), ce qui est assez remarquable. Toutefois, avec 10 pA, un condensateur de 500 pF se décharge au rythme de 20 mV/s, alors, que pour charger ce condensateur en 1 μ s à une tension égale, à 0,5 % près, à la va-

leur e, la résistance du « contact » K doit être inférieure à 380 Ω .

Autrement dit, plus on veut utiliser un temps court pour la prise d'échantillon, moins la « conservation » de la mémoire sera longue.

Pour améliorer la précision d'échantillonnage, on utilise souvent une contre-réaction double, comme l'indique la figure 72. L'amplificateur opérationnel A₂ sert pour la « lecture » de la tension aux bornes de C, comme A dans la figure 71, et le premier amplificateur, A₁, reçoit, comme tension de contre-réaction sur son entrée « - », la tension de sortie V₀.

Ainsi, pendant la fermeture de K, l'amplificateur A₁ tend à ramener le potentiel de son entrée « - » aussi près que possible de celui de son entrée « + », c'est-à-dire de e.

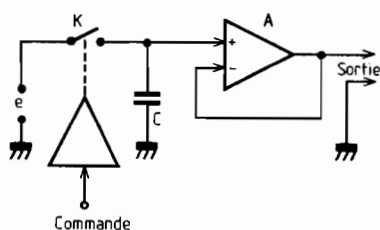


Fig. 71. – Structure d'un « échantillonneur-bloqueur » (en anglais « sample and hold »), qui garde la mémoire de la valeur instantanée d'une entrée analogique e. Evidemment, le « contact » K n'est pas mécanique.

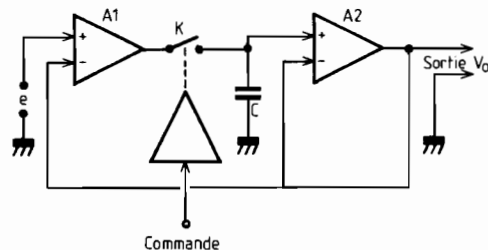


Fig. 72. – Pour améliorer la précision de prise d'échantillons dans le montage de la figure 71, on prévoit une contre-réaction globale, de la sortie vers l'entrée, entrant en action pendant la fermeture de K.

LE « DOUBLE ECHANTILLONNAGE »

Quand on veut prendre un échantillon pendant un temps extrêmement court, et conserver cependant la mémoire de la valeur échantillonnée pendant un temps long, la seule méthode consiste à réaliser un double échantillonnage, comme le montre la figure 73. Le premier sera fait pendant un temps très court, commandé par le signal S_1 qui ferme le « contact » K_1 pendant une microseconde (ou même beaucoup moins). Le premier condensateur, C_1 , se charge très rapidement à la valeur e , car sa capacité est extrêmement faible.

Il en résulte, en sortie de A_1 , une tension qui, partant de e tout suite après la réouverture de K_1 , décroît assez rapidement. Mais, même avec une décroissance de cette tension au rythme de 1 V/s , si l'on prend un « échantillon » de ladite tension pendant un temps de $500\ \mu\text{s}$, commandé par le signal S_2 (qui débute juste après la fin de S_1), il n'y aura qu'une variation de $0,5\ \text{mV}$ de la tension de sortie de A_1 .

Or, si l'on dispose de $500\ \mu\text{s}$ pour charger C_2 , il est possible de choisir pour ce dernier une capacité de $0,2\ \mu\text{F}$. Avec une consommation de $5\ \text{pA}$ par l'entrée « + » de A_2 , on n'a plus, alors, qu'une descente de la tension de sortie de $25\ \mu\text{V/s}$, soit $1\ \text{mV}$ en $40\ \text{s}$.

ECHANTILLONNEURS ET ADC EN « TIME SHARING »

Quand on désire transmettre sous forme numérique une grandeur analogique dont la variation est rapide, par exemple un signal vidéo, il faut recourir à des convertisseurs analogiques-numériques (ADC) fonctionnant très rapidement.

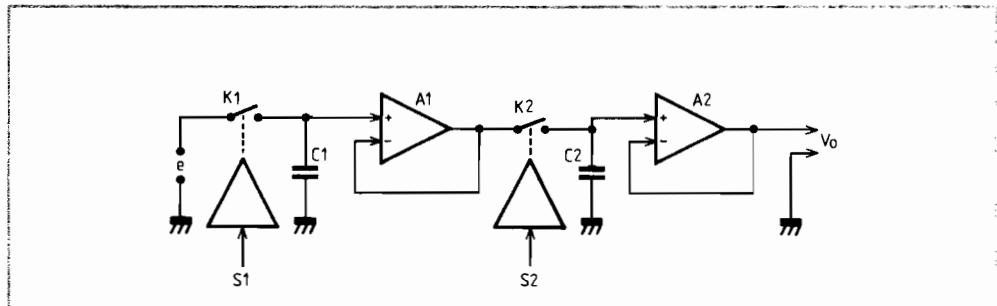


Fig. 73. — Si l'on veut prendre un échantillon pendant un temps très court et le conserver pendant une durée importante, on procède alors à un double échantillonnage, le condensateur C_2 ayant une capacité bien plus grande que celle de C_1 et la durée de fermeture de K_2 (juste après la réouverture de K_1) étant beaucoup plus longue que celle de la fermeture de K_1 .

Supposons que le meilleur ADC que nous ayons trouvé nécessite une durée de $5\ \mu\text{s}$ pour coder une valeur, alors que nous souhaitons transmettre un échantillon à chaque microseconde. La seule solution sera d'utiliser cinq convertisseurs ADC, fonctionnant à tour de rôle, avec un

partage des fonctions dans le temps.

Ce mode d'emploi est bien connu des utilisateurs multiples d'un grand ordinateur : ils pratiquent le « time sharing », ou découpage du temps, en mettant l'ordinateur à la disposition de chacun d'entre eux pendant un temps

assez court. Lorsque l'ordinateur est connecté vers un autre utilisateur, celui qui vient de l'utiliser interprète les résultats et prépare ses données pour la nouvelle connexion. Dans le cas de notre codage, on procédera comme l'indique la figure 74. Le signal analogique à coder est appli-

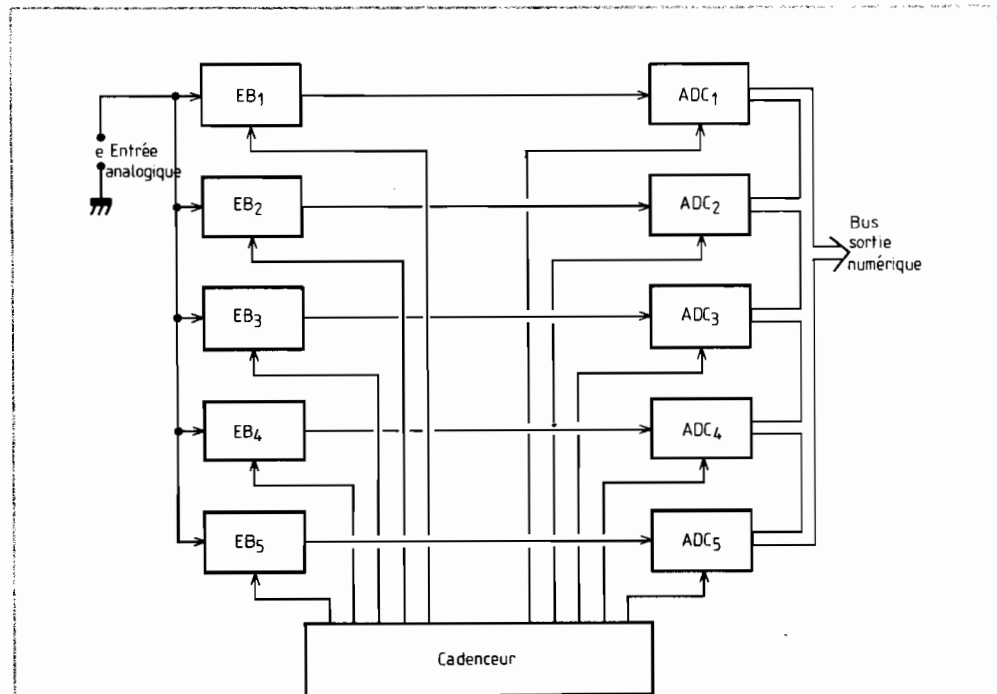


Fig. 74. — Si l'on veut coder en numérique une grandeur analogique rapidement variable, le convertisseur analogique-numérique (ADC) n'étant pas assez rapide, on procède par « partage dans le temps », commandé par un cadenceur.

qué simultanément aux entrées des cinq échantillonneurs-bloqueurs, EB₁, EB₂... EB₅.

Chaque sortie d'un de ces échantillonneurs-bloqueurs commande l'entrée d'un convertisseur analogique-numérique, de ADC₁ à ADC₅.

Le « cadenceur » fournit les signaux qui commandent chaque échantillonneur EB pendant une microseconde, juste après la fin de la prise d'échantillon sur le EB précédent. Il fournit aussi les signaux qui permettent à un seul des ADC de commander le « bus » de sortie.

En effet, chaque sortie d'un ADC comporte n fils, si l'on code en n bits. On ne représente donc pas tous ces fils, mais un « bus », ensemble de n fils. Pour n'avoir qu'une seule sortie, on munit chaque ADC de circuits « trois états » sur ses n sorties. Les signaux du cadenceur mettent donc quatre des cinq ADC en position « déconnecté » (troisième état), un seul étant « connecté » par activation de ses circuits « trois états ».

L'ensemble du bus de sortie et des commandes des circuits trois états constitue donc un multiplexage des sorties.

On connecte sur le bus celui des ADC qui vient de terminer un codage et va en commencer un autre, et, ainsi, on peut assurer un codage numérique à une cadence bien plus rapide que ne pourrait le faire un ADC tout seul.

LE TRAITEMENT DES INFORMATIONS NUMÉRIQUES

Comme nous l'avons dit au commencement de cette série d'articles, un des avantages essentiels du codage numérique de l'information est la facilité avec laquelle de telles données se « traitent ».

Ce terme de « traitement » fait quelquefois peur aux non-initiés. En réalité, il s'agit d'un ensemble de techniques rela-

tivement simples, et qui nous semblent fort intéressantes pour l'amateur. L'auteur est souvent très surpris par la crainte que de nombreux réalisateurs amateurs manifestent à l'égard des techniques simples de traitement des informations numériques, pensant qu'il s'agit là d'un domaine réservé aux informaticiens.

Or, si ces derniers connaissent à merveille la programmation et l'emploi des ordinateurs, il y en a beaucoup qui sont assez étrangers à l'électronique, et qui ne manifestent que fort peu d'intérêt aux circuits et à leurs fonctions (ne vous fâchez pas, messieurs les informaticiens, il y a d'heureuses exceptions).

Le traitement le plus simple est la mise en mémoire. Là, nous n'en parlerons presque pas, tant c'est facile. Il suffit d'appliquer les n bits aux entrées d'une RAM, de choisir l'adresse à laquelle on veut stocker l'information (appliquée en binaire sur les entrées d'adresse) et d'envoyer l'ordre « écriture » sur l'entrée adéquate.

Le seul problème qui puisse se poser tient au nombre de bits de l'information à stocker. Il est souhaitable qu'il soit un multiple de huit, ainsi on décompose cette information en « octets ». On peut alors :

- stocker l'information en plusieurs octets, à des adresses différentes, dans la même RAM ;
- utiliser plusieurs RAM simultanément, en leur envoyant la même adresse, chacune d'entre elles stockant huit des bits de la donnée.

L'auteur a souvent rencontré des amateurs qui se trouvaient gênés par... les possibilités trop grandes des mémoires RAM actuelles. On trouve, à des prix très acceptables, des circuits de RAM statiques (ne prenez que celles-là, le système de « rafraîchissement » des RAM dynamiques est trop complexe) de 256 à 4 096 octets. Or, souvent, on n'a que quelques octets à stocker. Que faire de la place inutilisée ?

La réponse est : « Ne vous plaignez pas que la mariée soit trop belle ! ». Si vous n'utilisez, par exemple, que 43 des 512 octets disponibles, le circuit ne va pas faire une dépression nerveuse.

Pire encore, si les données à stocker ne comportent que 5 bits chacune, logez-les tout de même dans des emplacements d'octets, en les faisant précéder par trois zéros, et le tour est joué.

NOUS PASSONS A L'ADDITION

L'opération arithmétique fondamentale est l'addition. Il y a, pour cela, des circuits simples et fort intéressants pour l'amateur. Pour voir un peu comment ils fonctionnent, et pouvoir ainsi les utiliser plus efficacement, nous allons revenir un peu sur l'arithmétique binaire.

Nous avons parlé du système binaire (voir *Le Haut-Parleur* n° 1746, novembre 1987, pages 61 à 65) et des opérations élémentaires.

Rappelons que, pour deux nombres de un chiffre chacun, l'addition donne les résultats suivants :

$$0 + 0 = 0$$

$$0 + 1 = 1$$

$$1 + 0 = 1$$

$1 + 1 = 10$ (non, monsieur le typographe, l'auteur n'a pas trop bu).

A propos de cette dernière ligne, rappelons, encore une fois, que l'on ne doit pas utiliser la terminologie des nombres décimaux pour énoncer les nombres binaires : le « 10 », en binaire, ne se lit pas « dix » mais « un, zéro ».

Donc, la dernière ligne est le seul cas dans lequel il y a une « retenue », le chiffre des unités de la somme étant zéro.

On voit que la retenue sera présente si le premier chiffre et le second sont 1 tous les deux. Concluez vous-mêmes : c'est un circuit « ET », recevant sur une entrée le bit des unités du premier nombre, et, sur l'autre, le bit des unités du second nombre, qui donnera, en sortie, la retenue.

Et le chiffre des unités de la somme ? On voit qu'il sera zéro si les deux nombres sont zéro, ou s'ils sont un tous les deux. Il ne sera 1 que si un seul des deux nombres est 1. Cela suggère immédiatement l'utilisation du circuit « OU EXCLUSIF », dont la table de vérité est indiquée ci-dessous :

A	B	A + B
0	0	0
0	1	1
1	0	1
1	1	0

Donc, pour additionner deux nombres binaires de un chiffre chacun, on utilisera le montage de la figure 75. Les deux

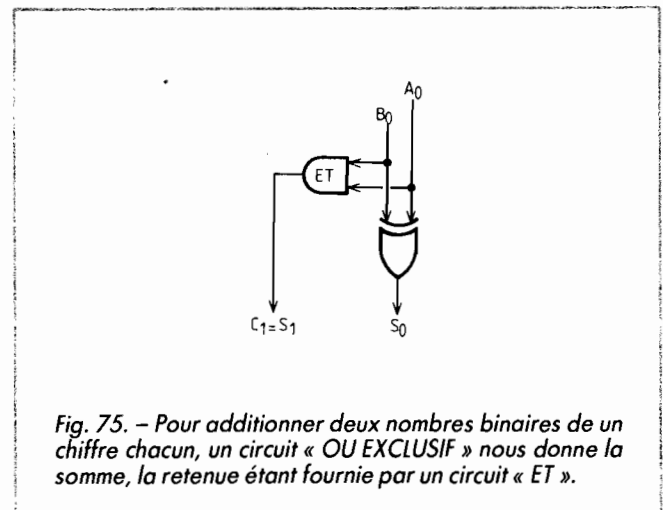


Fig. 75. - Pour additionner deux nombres binaires de un chiffre chacun, un circuit « OU EXCLUSIF » nous donne la somme, la retenue étant fournie par un circuit « ET ».

nombre binaires à additionner, A et B, ne comprennent chacun qu'un seul chiffre, celui de « poids 1 », ou 2^0 , c'est pourquoi nous les avons repérés par A_0 et B_0 .

Le chiffre des unités de la somme S, soit S_0 , est donné par le circuit « OU EXCLUSIF » attaqué par A_0 et B_0 . Le chiffre de la retenue est désigné, comme on le fait généralement, par la lettre C.

Cela tient au fait que la langue anglaise a une ressource intéressante qui nous manque en français : la « retenue » arithmétique y est désignée par deux mots différents :

« carry » (report), pour la retenue dans le cas d'une addition ;
« borrow » (prélèvement), pour la retenue dans le cas d'une soustraction.

La retenue venant de l'addition des chiffres de poids 2^0 sera utilisée lors de l'addition des chiffres de poids 2^1 (quand il y en aura). On la désigne donc par la lettre C (Carry) avec l'indice 1.

En fait, comme nous additionnons uniquement deux nombres de un chiffre chacun, la retenue est le chiffre de poids 2, elle peut donc être désignée aussi par S_1 . Autrement dit, on ne dit pas ici, s'il y a retenue, « Je retiens un » mais « J'avance le un ».

DES NOMBRES DE UN CHIFFRE ...BOF !

Nous sommes bien d'accord : le montage de la figure 75 est compliqué, pour ne pas faire grand chose. Avec des nombres de un chiffre, en décimal, on ne va pas très loin ; en binaire, c'est encore plus lamentable.

Alors, comment nous y prendre quand nous allons additionner deux nombres binaires A et B comportant chacun deux chiffres ?

Pour les unités, A_0 et B_0 , nous procéderons comme sur la figure 75. Tout va se compliquer quand on passera à la colonne des chiffres des deuxai-

nes (A_1 et B_1). En effet, nous n'aurons plus à faire la somme de deux chiffres, mais de trois :

- le chiffre des deuxaines de A, soit A_1 ;
- le chiffre des deuxaines de B, soit B_1 ;
- la retenue venant de l'addition de A_0 et B_0 , soit C_1 .

Evidemment, on peut ergoter sur le fait que C_1 n'est pas forcément présente (il n'y a retenue que si $A_0 = B_0 = 1$).

Le plus simple (et le plus général) est de dire qu'il y a toujours une retenue, mais qu'elle peut être zéro ou un. Quoi qu'il en soit, nous voici avec une addition de trois chiffres, pour laquelle le montage de la figure 75 ne suffit pas.

Une règle générale des montages arithmétiques électroniques est qu'ils utilisent toujours la méthode... la plus bête. Ici, nous allons en trouver encore une preuve : pour additionner trois quantités P, Q et R, on additionne P et Q, ce qui donne une somme, à laquelle on additionne R.

ADDITIONNONS ET... RE-ADDITIONNONS

Alors, pour traiter la colonne des 2^1 , nous allons utiliser, deux fois le montage de la figure 75 : une première fois pour additionner A_1 et B_1 , une deuxième fois pour additionner la somme que nous venons d'obtenir et la retenue C_1 . On en arrive au montage de la figure 76.

Comme on le voit, le circuit « OU EXCLUSIF » (1) et le « ET » (2) sont les composants de la figure 75. On répète ces deux composants une première fois, (circuit « OU EXCLUSIF » 3 et circuit « ET » 4 pour additionner A_1 et B_1 , ce qui nous donne une « somme partielle », σ_1 et une « retenue partielle », K_2 .

On répète une deuxième fois l'ensemble des circuits de la figure 75, en mettant un « OU EXCLUSIF » (5) et un « ET » (6), pour additionner σ_1 et C_1 , ce qui nous donne le bon chiffre

des deuxaines de la somme, soit S_1 , et une autre « retenue partielle », K'_2 .

Mais nous voilà embarrassés : il y a deux retenues « partielles ». Heureusement, une constatation va venir à notre secours : nous allons voir qu'il n'y a jamais de retenue valant un à la fois en K_2 et K'_2 .

En effet, s'il y a une retenue valant un en K_2 , cela signifie que A_1 et B_1 valent un tous les deux ; alors, la somme partielle σ_1 est nulle, et K'_2 vaut forcément zéro.

Par ailleurs, pour qu'il y ait une retenue valant un en K'_2 , il faut que la retenue C_1 vaille un et que la somme partielle

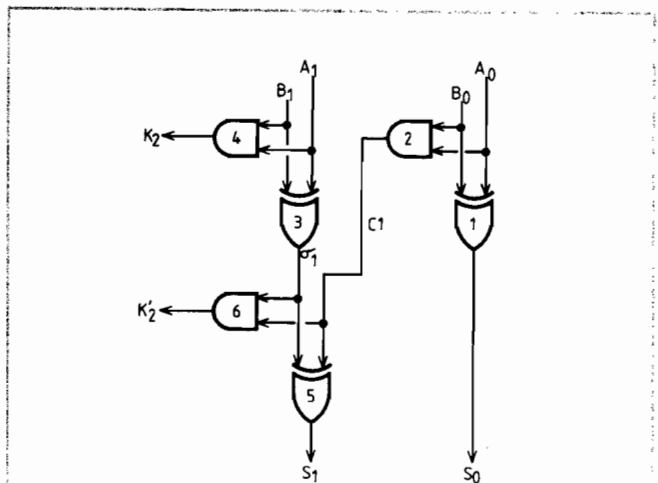


Fig. 76. - Dans le cas où les deux nombres binaires à additionner ont deux chiffres chacun, pour les chiffres des deuxaines, il faut faire une première addition des deux chiffres A_1 et B_1 et ajouter à cette somme la retenue C_1 qui vient de l'addition des chiffres des unités.

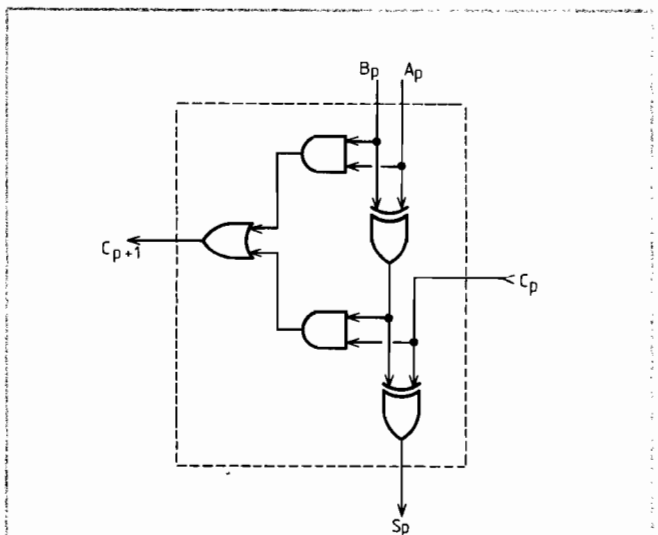


Fig. 77. - Schéma d'une « tranche » d'additionneur parallèle, qui doit être répétée autant de fois que le plus grand des nombres à additionner possède de chiffres.

σ_1 vaille également un. Or, cela ne peut se produire que si A_1 et B_1 sont différents (l'un à zéro, l'autre à un), ce qui implique que K_2 vaut zéro. Donc, lors de l'opération portant sur la colonne des deuxaines, la retenue « un » pour la colonne des quatraines ne pourra venir que de K_2 ou de K'_2 , mais jamais des deux à la fois. Il nous suffira donc d'un simple circuit « ou », commandé sur ses deux entrées par K_2 et K'_2 , pour nous donner la retenue C_2 , utilisable dans la colonne des quatraines, soit des chiffres de poids 2^2 .

UN MONTAGE REPETITIF

On arrive au montage de la figure 77, que nous supposons utilisé dans la colonne des chiffres de poids 2^p (deux puissance p). Il reçoit donc les chiffres correspondants de A, soit A_p et de B, soit B_p . Il reçoit aussi la retenue C_p venant de l'addition des chiffres de poids 2^{p-1} (deux puissance $p-1$), et il fournit le chiffre de rang p de la somme, soit S_p , ainsi que, pour la « tranche » suivante, la retenue C_{p+1} .

Pour obtenir un additionneur pouvant additionner deux nombres de n bits, il suffira de répéter n fois le montage de la figure 77.

On pourrait objecter que, pour l'addition des unités, on peut simplifier le montage, comme on l'avait fait dans le cas de la figure 76, puisqu'il n'y a pas de retenue à ajouter dans ce cas. En réalité, les additionneurs ont toujours quatre tranches identiques, même pour celle des unités, pour des raisons que nous verrons plus loin.

Il y a donc, pour les unités, trois entrées : A_0 , B_0 et C_0 , cette dernière représentant la « retenue qui arrive sur la colonne des unités ». Si l'additionneur est utilisé seul, on met alors l'entrée C_0 à la masse, indiquant par là que la retenue est nulle dans la colonne des unités.

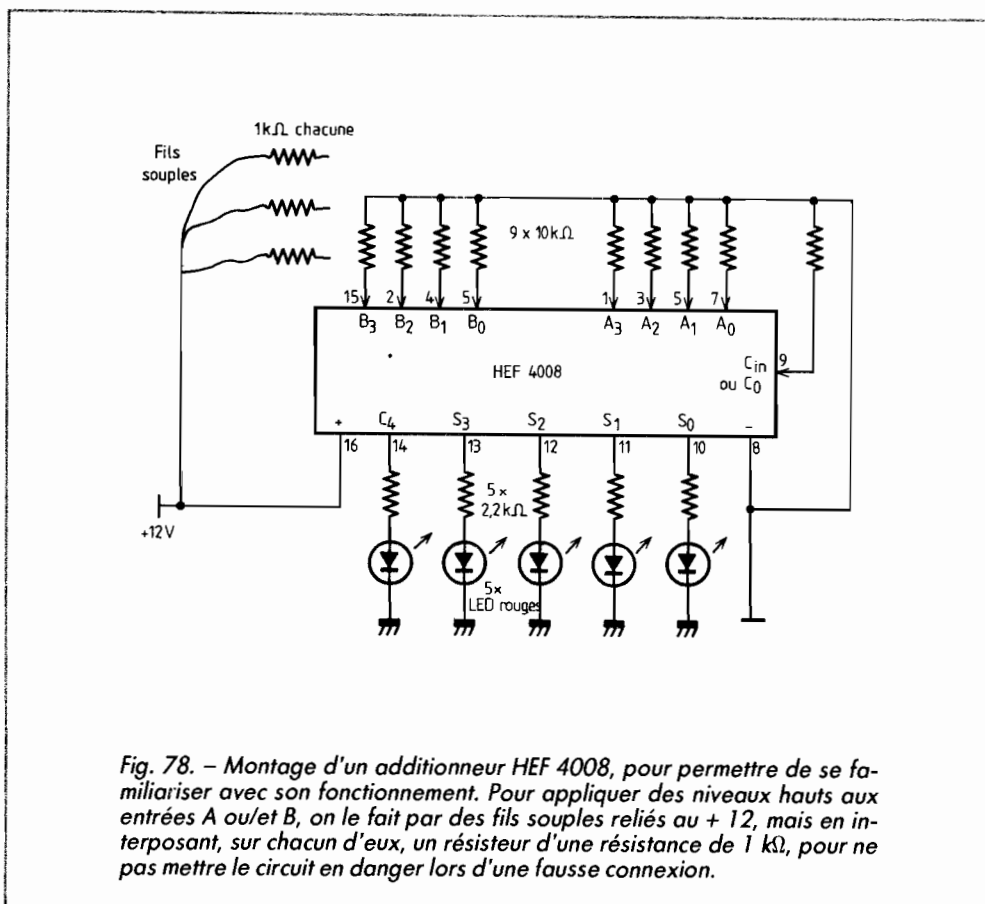


Fig. 78. – Montage d'un additionneur HEF 4008, pour permettre de se familiariser avec son fonctionnement. Pour appliquer des niveaux hauts aux entrées A ou/et B, on le fait par des fils souples reliés au + 12, mais en interposant, sur chacun d'eux, un résistor d'une résistance de 1 k Ω , pour ne pas mettre le circuit en danger lors d'une fausse connexion.

Il y a lieu de noter que cette entrée de retenue, qui devrait normalement être désignée par C_0 , est quelquefois notée par C_i , avec l'indice i comme « input » (entrée), ou par C_{in} , pour la même raison.

Dans un additionneur à quatre bits, comme les liaisons depuis la sortie retenue d'une tranche vers l'entrée retenue de la suivante sont faites à l'intérieur, on a donc seize connexions :

- les quatre entrées A_0 à A_3 du nombre A ;
- les quatre entrées B_0 à B_3 du nombre B ;
- les quatre sorties de somme, de S_0 à S_3 ;
- l'entrée retenue pour les unités (C_0 ou C_i , ou C_{in}) ;
- la sortie retenue vers le chiffre des dizaines, soit C_4 (quelquefois notée C_o , avec o comme « output » = sortie, ou même C out) ;
- les deux fils d'alimentation du circuit (masse et +).

Comme exemples de circuits de ce type, on peut citer le HEF4008 en C.MOS et le SN 74 LS 83 en TTL.

ON REPREND (ENFIN !) LES ESSAIS

Pour se familiariser avec l'additionneur, nous pensons qu'il est intéressant de manipuler un peu un circuit de ce type, par exemple un HEF4008. Pour être franc, l'auteur doit avouer que la structure interne de cet additionneur est réalisée par des assemblages de portes qui sont assez différents de celui qu'indique la figure 77. La fonction réalisée est exactement la même, mais, au prix d'une complexité fortement accrue, on gagne en rapidité de réponse. La figure 78 indique comment procéder aux essais. Confor-

mément à sa mauvaise habitude, l'auteur emploie une méthode que la morale des C.MOS réprovoque, à savoir d'afficher l'état des sorties en les faisant directement allumer des LED, sans employer de transistors intermédiaires. Si l'on se borne à des courants de LED de 4 mA (avec une bonne LED, on la voit très bien allumée), on ne fatigue pas trop les sorties du circuit. Les neuf entrées sont réunies à la masse par neuf résistances de 10 k Ω . Ainsi, on ne les laisse pas « en l'air » (c'est défendu, avec les circuits C.MOS), et on les met au niveau logique « zéro », en se laissant la possibilité de les porter au niveau logique « un », tout simplement en les touchant avec une extrémité d'un résistor de 1 k Ω , dont l'autre extrémité est reliée, par un fil souple, au + 12 V. « Pourquoi ne pas utiliser simplement un fil souple relié au

+ 12 ? », diront certains. Effectivement, on pourrait le faire. Si nous avons indiqué l'utilisation d'un résistor de 1 k Ω en série, c'est tout simplement pour éviter la destruction du circuit en cas de faux branchement.

En effet, si, par erreur, vous connectez un fil directement relié au + 12 V à une sortie de C.MOS qui est au niveau bas, vous tuez instantanément la sortie en question, donc le circuit. Si le fil qui vous sert à porter une broche au niveau haut comporte un résistor de 1 k Ω en série vers le + 12 V, un branchement erroné sur une sortie au niveau bas se traduira par une absorption de courant (une dizaine de milliampères) par cette sortie, sans aucune destruction.

Comme on le voit sur la figure 78, nous avons placé la LED qui contrôle l'état de la

sortie sur la broche 14 (C₄) juste à gauche des quatre LED qui contrôlent les niveaux des quatre sorties de la somme.

En effet, la somme de nombres de quatre bits peut être un nombre de cinq bits, quand cette somme dépasse seize. Dans ce cas, comme pour la figure 75, on ne dit pas « Je retiens un » mais « J'avance le un ». La sortie C₄ est, en fait, le MSB de la somme des nombres A et B.

Avec un tel additionneur, commencez par laisser les entrées B au zéro (ainsi que l'entrée C₀). Vous pourrez alors constater que vous retrouvez sur la somme le nombre binaire que vous appliquez sur A (normal ! vous lui ajoutez le nombre B, qui est nul).

Maintenant, en ayant appliqué un nombre binaire de votre choix aux entrées A, en utilisant autant de fils souples

(comportant chacun un résistor de 1 k Ω de sécurité en série vers le + 12 V) que votre nombre comporte de chiffres « un », essayez de mettre momentanément au + 12 (toujours à travers un résistor de 1 k Ω) l'entrée B₀. Vous verrez alors que la sortie S est égale au nombre appliqué en A, augmenté de un. C'est normal : maintenant le nombre B est :

0001

Si vous en avez la patience (l'auteur vous le recommande vivement), faites donc une série d'essais d'additions de deux nombres binaires de quatre chiffres chacun. Au début, pour vérifier la somme, vous commencerez probablement par convertir en décimal le nombre A, le nombre B et la somme. Avec un peu d'exercice, cela ne vous sera plus

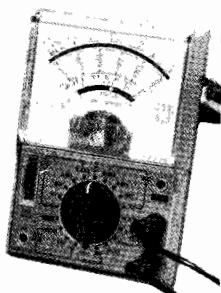
nécessaire : l'arithmétique binaire est simple.

Enfin, quand vous aurez essayé quelques combinaisons de nombres additionnés (pas toutes, il y en aurait 256 !), essayez donc d'appliquer momentanément un niveau un sur l'entrée C₀ (toujours à travers un résistor de 1 k Ω), c'est-à-dire sur la broche (9) : vous allez voir qu'en agissant ainsi, vous ajoutez un à la somme de A et de B.

Cette remarque vous sera utile plus tard, quand nous allons demander à notre circuit de faire des soustractions, par la méthode du « complément vrai à deux », que nous expliquerons prochainement.

L'auteur pense que, quand vous aurez ainsi « démythifié » l'additionneur binaire, vous n'hésitez plus à l'employer pour de nombreux montages. **J.-P. CHEMICHEN**

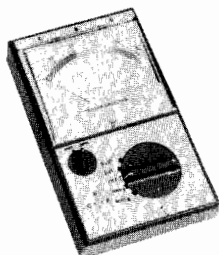
MULTIMETRES ANALOGIQUES



Unimer 31

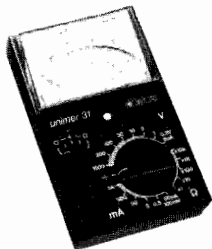
L'impédance d'entrée du numérique avec les avantages de l'analogique 200 K Ω/V cont. alt.

Amplificateur incorporé
Protection par fusible et semi-conducteur
9 Cal = et \approx 0,1 à 1000 V
7 Cal = et \approx 5 μ A à 5 A
5 Cal Ω de 1 Ω à 20 M Ω
Cal dB - 10 à + 10 dB



Transistor tester

Mesure : le gain du transistor
PNP ou NPN (2 gammes),
le courant résiduel
collecteur émetteur,
quel que soit le modèle
Teste : les diodes GE et SI.



HA 102 BZ

20 k Ω/V en continu
8 k Ω/V en alternatif
23 gammes de mesure
19 calibres
7 Cal = 1,5 V à 1000 V
dont 2 calibres test de batterie 1,5 et 9 V
4 Cal \approx 10 V à 1000 V
4 Cal = 5 mA à 10 A
4 Cal Ω mètre
Test de continuité par buzzer
Décibels - 8 dB à + 62 dB

LE MULTIMETRE POUR TOUS

Je désire recevoir une documentation, contre 4 F en timbres

ISKRA France

Nom
Adresse

Parc d'activités des Peupliers
Bâtiment A, 27, rue des Peupliers
92000 NANTERRE Code postal :

POUR CEUX QUI SONT TROP BIEN CHEZ EUX



Le service abonnement. Une merveilleuse machine pour vous permettre, tranquillement, de découvrir les techniques du son et de la lumière.



pour tout savoir, sans se mouvoir.